

一种使用增益校准技术的 $\Delta\Sigma$ 时间数字转换器

谢 润,刁盛锡,林福江

(中国科学技术大学 电子科学与技术系,微纳电子系统集成中心,安徽 合肥 230026)

摘 要: 提出了一种使用门控环形振荡器及级间增益误差校正技术的 1-1 MASH 结构 $\Delta\Sigma$ 型 TDC. 该 TDC 使用两个 GRO-TDC 级联,实现二阶噪声整形. 采用基于电荷泵的大增益时间放大器进行级间放大,进一步降低了 TDC 的量化噪声. 使用一种级间增益校准技术校正时间放大器增益误差与两级 GRO 的频率失配. 该 TDC 在 SMIC 40 nm 1P8M CMOS 工艺下设计和仿真,实现了宽带宽、高精度(低带内积分噪声)、大动态范围.

关键词: 时间数字转换器;时间放大器; $\Delta\Sigma$ 调制器;多级噪声整形;门控振荡器

中图分类号: TN4

文献标识码: A

文章编号: 1000—7180(2016)11—0137—05

A $\Delta\Sigma$ Time-to-Digital Converter Based on Gated-Ring-Oscillator Using Time Amplifier Gain Calibration Technique

XIE Run, DIAO Sheng-xi, LIN Fu-jiang

(Micro-/Nano-Elec. System Integration Center, Dept. of Elec. Sci. and Tech., Univ. of Sci.
and Tech. of China, Hefei 230026, China)

Abstract: A 1-1 MASH delta-sigma time-to-digital converter using charge-pump based time-amplifier and gain calibration technique is proposed. The TDC using two cascaded gated-ring-oscillator based TDCs and achieved 2nd order noise shaping. By adopting of a high gain charge-pump based time amplifier, the quantization noise of proposed TDC is further diminished. The proposed TDC is designed and simulated on SMIC 40 nm 1P8M CMOS process, achieved high bandwidth, high resolution (low integrated noise) and large dynamic range.

Key words: time-to-digital converter (TDC); time-amplifier (TA); delta-sigma modulator; multi-stage-noise-shaping (MASH); gated-ring-oscillator (GRO)

1 引言

过去,时间数字转换(TDC)广泛应用于激光测距(LRF),飞行时间技术(TOF)和正电子成像技术(PET). 随着 CMOS 技术的不断发展,特征尺寸的不断缩小,CMOS 电路在时间域的精度越来越高,TDC 被越来越广泛地应用于一些混合信号电路和数字辅助模拟电路之中,如数字/全数字锁相环(DPLLs/ADPLLs)和时间域模拟数字转换器(Time-Domain ADCs)^[1]. 在这些应用中,对于作为鉴相器(phase detector)或量化器(quantizer)使用的 TDC,实现高精度、宽带宽、大动态范围至关重要. 为满足应用的需要,游标型 TDC (Vernier

TDC)、两步型 TDC (Two-step TDC)、流水线 TDC (Pipeline TDC)^[2]、循环型 TDC (Cyclic TDC)^[3]等 TDC 结构被相继提出. 但这些奈奎斯特采样 TDC 受限于器件的片内失配,如果要同时实现大动态范围与高精度则会带来功耗与电路面积的显著增加. 而一些过采样 TDC,如图 1 所示,基于门控环形振荡器(GRO)的 TDC 中量化单元的失配会被一阶噪声整形,故不存在片内失配的限制,更适用于高精度、大动态范围的应用^[4-7].

本文提出一种新型的带有级间增益校准的二阶多级结构 $\Delta\Sigma$ TDC. 结合时间放大器(Time Amplifier, TA)技术进一步减小了 TDC 的量化噪声. 所提出的 TDC 结构实现了宽带宽、高精度、大动态范围.

失配,给时间放大器带来较大的增益误差. 通常的校准方法是修正其中一种电流的大小. 而本文采取一种全数字的级间增益校准技术.

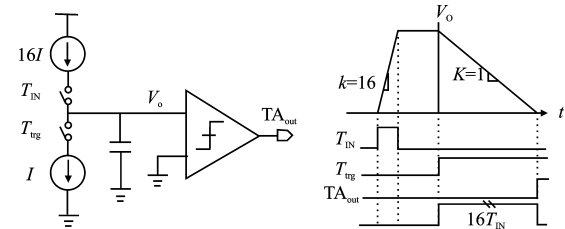


图 4 基于电荷泵的时间放大器

3.3 级间增益校准技术

在实际中,非理想的 TA 存在增益误差. 这个增益误差将使第一级的量化噪声不能被第二级完全抵消,泄露至 TDC 的输出,降低 TDC 的性能. 除此之外,两级 GRO 量化器间的频率失配也会表现为级间增益失配. 本文使用一种增益校准技术修正第二级后数字滤波器的系数,从而同时校准 TA 增益误差和 GRO 频率失配,其结构和原理如图 5 所示.

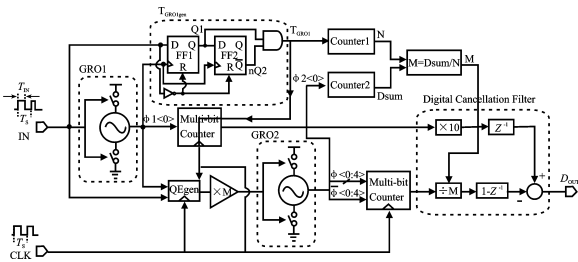


图 5 级间增益校准技术结构

由 TGRO1gen 电路产生脉冲宽度为第一级 GRO 振荡周期的时间信号 TGRO1,并送入时间放大器. 同时由 Counter1 对 TGRO1 计数,得到 N . Counter2 对 GRO2 的一个输出相位计数,得到 GRO2 总振荡周期 D_{sum} . 则修正后 GRO2 与 GRO1 的级间增益可以表示为 $M_{\text{fixed}} = \frac{D_{\text{sum}}}{N}$.

4 非理想因素

除了 TA 增益误差和 GRO 频率失配,在实际中许多非理想因素也会影响 TDC 的性能,如:GRO 相位噪声、时间偏离误差、电源电压噪声及工艺电压温度(PVT)变化. 本节将使用 Spectre 和行为级模型,分析和讨论这些非理想因素的影响. 本文提出的 TDC 基于 SMIC 40 nm 1P-8M CMOS 工艺设计和仿真. 在本节的仿真中,TDC 输入信号幅度 $T_{\text{INP-P}} = 100$ ps, GRO 频率 $f_{\text{GRO}} = 6.06$ GHz,信号带宽

$f_{\text{BW}} = 10$ MHz,采样率 $f_s = 200$ MS/s.

4.1 GRO 相位噪声的影响

对 GRO 相位噪声的分析使用行为级仿真,非理想 GRO 的模型如图 6 所示.

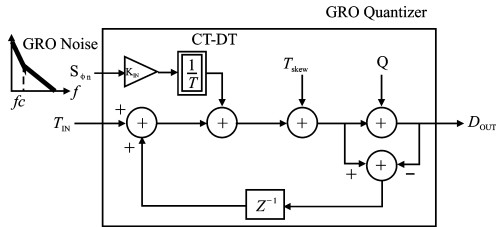


图 6 GRO 噪声模型

通常振荡器的相位噪声 $S_{\Phi_n, f_0}(f_m)$ 可以表示为

$$S_{\Phi_n, f_0}(f_m) = (2\pi f_0)^2 \left(1 + \frac{K_{\text{TH}}}{(2\pi f_m)^2}\right) \left(1 + \frac{K_F}{f_m}\right) \approx \left(\frac{f_0}{f_m}\right)^2 (K_{\text{TH}} + \frac{K_F}{f_m}) \quad (3)$$

式中, K_{TH} 和 K_F 分别是热噪声 (Thermal noise) 和闪烁噪声 (flicker noise) 的系数, f_0 是振荡器的振荡频率, f_m 是频率偏置.

由于 GRO 并非在所有时间内工作,故其相位噪声的贡献也由 TDC 输入 T_{IN} 的大小,即 GRO 振荡的时间决定,可以表示为

$$S_{\Phi_n, \text{GRO}} = S_{\Phi_n, S} \cdot K_{\text{IN}} = S_{\Phi_n, S} \frac{T_{\text{IN}}}{T_s} \quad (4)$$

式中, $S_{\Phi_n, S}$ 是 GRO 始终工作时的相位噪声, T_{IN} 和 T_s 分别是输入信号的脉冲宽度和采样周期, K_{IN} 是他们的 T_{IN} 占 T_s 的比率.

从图 7 的结果中可以看到,由于第二级 GRO 的噪声被后级的数字滤波器一阶噪声整形,TDC 本底噪声的提升主要由于第一级 GRO 的相噪.

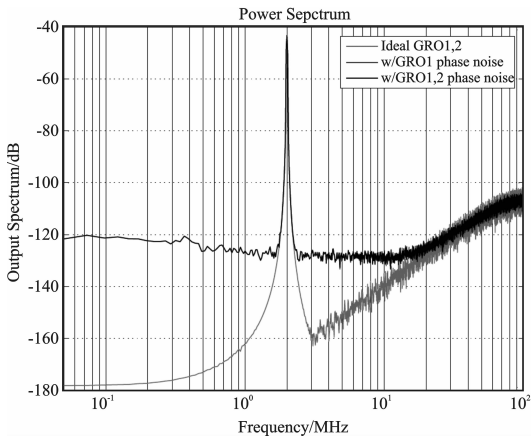


图 7 GRO 相位噪声对 TDC 的影响:
GRO 相位噪声 -78 dBc/Hz@1 MHz offset

4.2 GRO 时间偏离误差(Time-skew error)的影响

由于 GRO 中电荷重分布(charge redistribution)和漏电流(leakage current)的存在,实际电路中,GRO 在振荡与停止模式切换过程中会发生时间偏离误差^[2,4-6].如图 8 所示.

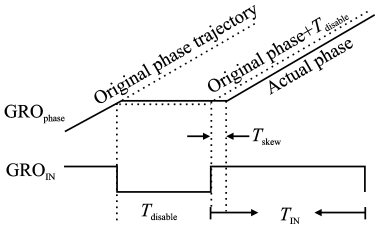


图 8 GRO 时间偏离误差

时间偏离误差在第一级与第二级 GRO 中都会发生.由于第二级 GRO 的后级为除 M 和差分数字滤波器,使第二级时间偏离误差被减小并被一阶噪声整形.可以使用多路径门控振荡器(Multi-path GRO)^[4,6]或变频环形振荡器(Switched Ring Oscillator, SRO)^[5]取代 GRO 以减小时间偏离误差.

4.3 工艺电压温度(PVT)变化及电源噪声的影响

在实际中,GRO 频率随 PVT 的变化带来的量化精度的改变,会直接改变 TDC 量化噪声的大小,影响 TDC 的性能.图 9 中的蒙特卡罗仿真结果显示,在不同工艺角(SS~FF)、电压(1.1±0.1 V)及温度(-25~125℃)下 TDC 带内积分噪声变化了约±25%.为得到更稳定的性能,可以通过加入锁频环(FLL)校准 GRO 的频率从而减小 PVT 的影响.

电源噪声同样可以带来 GRO 频率的抖动,从而恶化 TDC 的性能.可以通过一种伪差分(Pseudo-differential)的振荡器结构^[8]实现 GRO,从而消除电源噪声的影响.

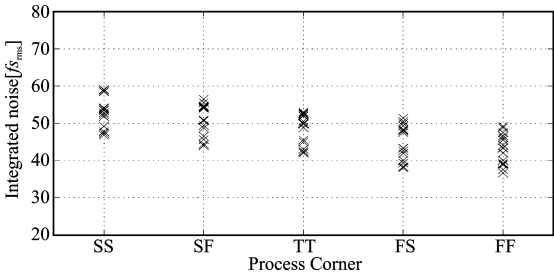


图 9 不同 PVT 条件下 TDC 的性能

5 仿真结果

本文所提出的一种使用级间增益校准技术的 1-1MASH 结构 $\Sigma\Delta$ 型 TDC 在 SMIC 40 nm 1P8M CMOS 工艺下设计和仿真.图 10 为所提出 TDC 与传

统 GRO-TDC 与 1-1MASH GRO-TDC 的对比仿真结果.仿真包含了 GRO 相位噪声、时间放大器增益误差及噪声、GRO 时间偏离误差、级间频率失配的非理想因素(这些非理想条件的参数提取自晶体管级仿真).采用 1 024 个信号周期进行级间频率校准.在输入信号幅度 $T_{INp-p}=10$ ps,信号频率 $f_{IN}=2$ MHz,GRO 频率 $f_{GRO}=6.06$ GHz,采样频率 $f_s=200$ MS/s,带宽 $f_{BW}=10$ MHz 的条件下,GRO-TDC 实现了一阶噪声整形,带内积分噪声 28.03 pS_{rms} ;1-1MASH GRO-TDC 实现了二阶噪声整形,带内积分噪声 450.7 $f_{s_{rms}}$;所提出的二阶 $\Sigma\Delta$ TDC 在 16xTA 增益下,未进行级间频率校准时,带内积分噪声 177.3 $f_{s_{rms}}$,经校准后,带内积分噪声 49.9 $f_{s_{rms}}$.所提出的级间增益校准方法显著地抑制了 TA 增益误差和 GRO 频率失配对 TDC 性能带来的影响,使所提出的 TDC 实现了最优的带宽、精度和动态范围.

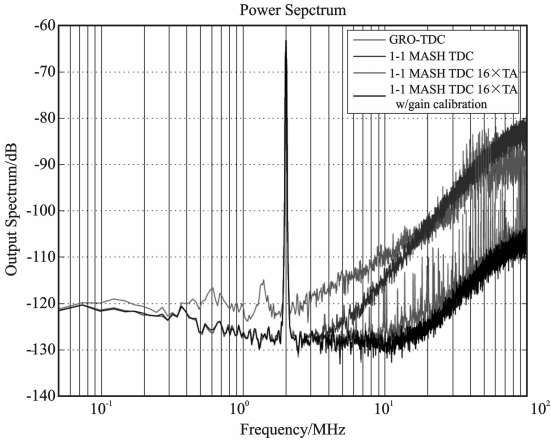


图 10 所提出 TDC 与传统 GRO-TDC 与 1-1MASH GRO TDC 对比(TDC 片内失配 1.5%,GRO 时间偏离误差 $T_{skewp-p}=1$ ps,GRO 相位噪声-78 dBc/Hz@1 MHz offset)

6 结束语

本文提出了一种使用级间增益校准技术的 1-1MASH 结构 $\Sigma\Delta$ TDC,实现了二阶噪声整形.通过电荷泵时间放大器,并结合级间增益校准技术,进一步减小了 TDC 的量化噪声,实现了 TDC 的宽带宽、高精度、大动态范围.利用本文提出的方法,可以通过更大的时间放大器增益进一步降低量化噪声,或更多的级联实现更高阶的噪声整形,从而进一步提高 TDC 的性能.

参考文献:

[1] Oh T, Venkatra H, Moom U K. A time-based pipe-

- lined adc using both voltage and time domain information [J]. IEEE J Solid-State Circuits, 2014, 49(4): 961-971.
- [2] Kim K, Yu W, Cho S. A 9 bit, 1.12 ps resolution 2.5 b/stage pipelined time-to-digital converter in 65 nm CMOS using time-register [J]. Solid-State Circuits, IEEE Journal of, 2014, 49(4):1007-1016.
- [3] Seo Y H, Kim J S, Park H J, et al. , A 1.25 ps resolution 8b cyclic TDC in 0.13 m CMOS [J]. Solid-State Circuits, IEEE Journal of, 2012, 41(3):736-743.
- [4] Straayer M Z, Perrott M. A multi-path gated ring oscillator TDC with 1 st order noise shaping [J]. Solid State Circuits, IEEE Journal of, 2009, 44 (4): 1089-1098.
- [5] Yu W, Kim K, Cho S. A integrated noise 4 MHz bandwidth second-order time-to-digital converter with gated switched-ring oscillator [J]. Circuits and Systems I, IEEE Transactions on, 2014, 61(8): 2281 - 2289.
- [6] Wonskk yu S C, Kwangseok kim. A 0.22 ps rms integrated noise 15 MHz bandwidth fourth-order delta-sigma time-to-digital converter using time-domain error-feedback filter [J]. Solid-State Circuits, IEEE Journal of, 2015, 50(5):1251-1262.
- [7] Gande M, Maghari N, OH T, et al. A 71 dB dynamic range third-order TDC using charge-pump [J]. Proc IEEE Symp VLSI Circuits Dig, 2012, 38(7): 168-169.
- [8] Konishi T, Okuno K, Izumi S, et al. A second-order all-digital tdc with low jitter frequency shift oscillators and dynamic flipflops [J]. IEICE transactions on electronics, 2013, 96(4):546-552.

作者简介:

谢润男, (1990-), 硕士研究生. 研究方向为射频/模拟集成电路设计. E-mail: xr714@mail.ustc.edu.cn.

刁盛锡男, (1979-), 硕士, 讲师. 研究方向为射频/模拟集成电路设计.

林福江男, (1958-), 博士, 教授, 博士生导师. 研究方向为射频器件建模、射频/模拟集成电路设计、微波单片集成.

(上接第 136 页)

- [7] Francisco R. Gatewaying IEEE 1149.1 and IEEE 1149.7 Test Access Ports [C]//2012 IEEE 18th International On-Line Testing Symposium. Washington DC, USA; ACM, 2012: 136-138.
- [8] STPHEN L. Reinventing JTAG for SoC debugging [J]. Electronic Design & Application World-Nikkei Electronics china, 2009, 26(2):15-19.
- [9] 杨轲. IEEE 1149.7 标准两线星型扫描格式研究 [J]. 微电子学与计算机, 2015, 32(10):147-150.

作者简介:

颜学龙男, (1962-), 教授, 研究生导师. 研究方向为集成电路测试理论与测试仪器.

王洋冰(通讯作者)男, (1991-), 硕士研究生. 研究方向为计算机辅助测试. E-mail: 245117042@qq.com.

陈寿宏男, (1981-), 高级实验师, 研究生导师. 研究方向为集成电路测试理论与测试仪器.